

CLIPPEDIMAGE= JP408032131A

PAT-NO: JP408032131A

DOCUMENT-IDENTIFIER: JP 08032131 A

TITLE: LAMINATED PIEZOLECTRIC ELEMENT AND ITS MANUFACTURE

PUBN-DATE: February 2, 1996

INVENTOR-INFORMATION:

NAME

OKAWA, YASUO

ASSIGNEE-INFORMATION:

NAME

BROTHER IND LTD

COUNTRY

N/A

APPL-NO: JP06168114

APPL-DATE: July 20, 1994

INT-CL (IPC): H01L041/083;H01L041/22

ABSTRACT:

PURPOSE: To surely connect and insulate external electrodes to and from internal electrodes in a laminated piezoelectric element used as an actuator.

CONSTITUTION: Conductive projecting sections 16 are formed at every other layer on the side face of a laminated body constituted by alternately piling up piezoelectric material films 11 and internal electrodes 12 and an insulating film 13 containing glass beads 17 is formed in the laminating direction of the laminated body so that the film 13 can cover all piezoelectric material films 11. In addition, copper foil 15 carrying conductive particles 31 adhering to the surface of the foil 15 is formed on the film 13 as external electrodes and the external electrodes are electrically connected to the internal electrodes

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32131

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 41/083

41/22

H 01 L 41/ 08

41/ 22

Q

Z

審査請求 未請求 請求項の数4 O.L (全4頁)

(21) 出願番号

特願平6-168114

(71) 出願人 000005267

プラザーエンジニアリング株式会社

愛知県名古屋市瑞穂区苗代町15番1号

(72) 発明者 大川 康夫

名古屋市瑞穂区苗代町15番1号プラザーエ

ンジニアリング株式会社内

(22) 出願日

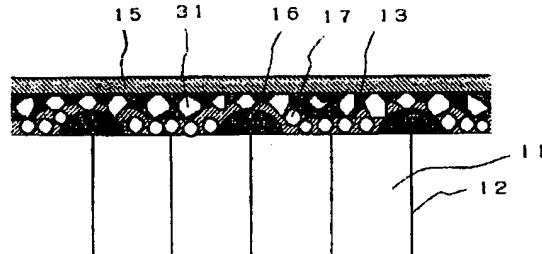
平成6年(1994)7月20日

(54) 【発明の名称】 積層型圧電素子並びにその製造方法

(57) 【要約】

【目的】 アクチュエータとして用いる積層型圧電素子において、外部電極と内部電極を確実に接続および絶縁する。

【構成】 圧電材料膜11と内部電極12とが交互に重なる積層体の側面において一層おきに導電性凸部16が形成され、積層体の積層方向に全ての圧電材料膜11にかかるようにガラスピーツ17を含有した絶縁膜13が形成されている。さらにその上には外部電極として導電性粒子31の付いた銅箔15が形成され、導電性凸部16を介して内部電極12と電気的に接続されている。



## 【特許請求の範囲】

【請求項1】 交互に積層された複数の圧電材料と複数の内部電極とからなる積層体と、その積層体の側面に露出する前記内部電極の端部に一体的に形成された導電性凸部と、前記積層体の側面上において前記導電性凸部を覆うようにして連続して形成されるとともに少なくとも一層構造をなす絶縁膜と、その絶縁膜上に連続して形成されるとともに、圧縮されることにより選択的に絶縁膜を突き破って前記導電性凸部と電気的に接続された外部電極と、その外部電極による前記絶縁膜の突き破りを防止するために、前記導電性凸部間の谷部の絶縁膜中に密に介在された非導電性粒子とを備えたことを特徴とする積層型圧電素子。

【請求項2】 前記非導電粒子の粒径が導電性凸部の高さと同程度であることを特徴とする請求項1記載の積層型圧電素子。

【請求項3】 前記外部電極は、導電性膜とその膜に塗布された導電性粒子とを含んで構成されていることを特徴とする請求項1記載の積層型圧電素子。

【請求項4】 複数の圧電材料と複数の内部電極とをそれぞれ交互に積層させて積層体を作成する工程と、その積層体の側面に露出する前記内部電極の端部に導電性凸部を一体的に形成する工程と、

前記積層体の側面上に前記導電性凸部を覆うように、非導電性粒子を含む絶縁膜を形成する工程と、導電性膜とその膜に塗布された導電性粒子とを含む外部電極が選択的に絶縁膜を突き破って前記導電性凸部と電気的に接続するように、外部電極を前記絶縁膜に圧縮させる工程とを備えたことを特徴とする積層型圧電素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、圧電材料の薄膜を多数枚積層し、電圧を印加することにより縦方向の変位を得る積層型圧電素子並びにその製造方法に関するものである。

## 【0002】

【従来の技術】従来、積層型の圧電素子を製造する場合、内部電極を一層おきに接続する必要があるが、従来の積層コンデンサ方式を用いると内部電極面積が素子の断面積より小さいため電界が全面に発生せず変位を阻害するばかりでなく不均一な部分に応力集中が発生しついには破壊するという致命的な欠点がある。また、積層時の位置決めが難しく多くても数十枚程度の積層枚数が限界であり、同じ印加電圧の場合素子の変位量は積層枚数に比例するため、大きな変位量を発生する素子を製造するのは困難であった。

【0003】そして、この欠点を解消するために圧電シ

ートの全面に電極を印刷して積層する方法、すなわち内部電極の面積と素子の面積を等しくする構造が一般的になっている。

【0004】この場合、図8に示されるような方法で内部電極を一層おきに接続する。すなわち図8で、圧電材料11と内部電極12とが交互に重なる積層体の側面において、一層おきに導電性凸部16が形成されるとともに、素子の積層方向に全ての圧電材料11にかかるよう絶縁層13bと導電性粒子31を含有する層13aが形成され、導電膜13をなしている。その上には外部電極として銅箔15が形成され、導電性粒子31を介して導電性凸部16ひいては内部電極12と電気的に接続されている。

## 【0005】

【発明が解決しようとする課題】しかしながら、図8に示す構造の圧電素子では、絶縁膜を突き破り、外部電極と内部電極を接続する媒体として導電性粒子を用いているため、以下のような問題がたびたび起こっていた。つまり、粒子の大きさのばらつきや分散状態により、導電性凸部のない、本来絶縁されるべき層が導通してしまったり、導通しないまでも十分な絶縁抵抗値が得られずに、素子の駆動に支障をきたすということなどである。

【0006】本発明は、上述した問題点を解決するためになされたものであり、外部電極と内部電極を確実に接続および絶縁することを目的としている。

## 【0007】

【課題を解決するための手段】この目的を達成するため本発明の積層型圧電素子は、交互に積層された複数の圧電材料と複数の内部電極とからなる積層体と、その積層体の側面に露出する内部電極の端部に一体的に形成された導電性凸部と、積層体の側面上において導電性凸部を覆うようにして連続して形成されるとともに少なくとも一層構造をなす絶縁膜と、その絶縁膜上に連続して形成されるとともに、圧縮されることにより選択的に絶縁膜を突き破って導電性凸部と電気的に接続された外部電極と、その外部電極による絶縁膜の突き破りを防止するために、導電性凸部間の谷部の絶縁膜中に密に介在された非導電性粒子とを備えている。

【0008】また、非導電粒子の粒径は、導電性凸部の高さと同程度であることが望ましい。

【0009】更に、外部電極は、導電性膜とその膜に塗布された導電性粒子とを含んで構成されていることが望ましい。

## 【0010】

【作用】上記の構成を有する本発明の積層型圧電素子においては、外部電極が絶縁膜上に圧縮形成されると、選択的に絶縁膜を突き破って導電性凸部と電気的に接続され、また、導電性凸部間の谷部では絶縁膜中の非導電性粒子がその外部電極による絶縁膜の突き破りを防止する。

## 【0011】

【実施例】以下、本発明の一実施例について説明する。  
【0012】図1に本発明による積層型圧電素子の断面図を示す。圧電材料膜11と内部電極12とが交互に重なる積層体の側面において一層おきに導電性凸部16が形成され、素子の積層方向に全ての圧電材料膜にかかるように、非導電性粒子としてのガラスピーズ17を含有した絶縁膜13が形成されている。さらにその上には外部電極として導電性粒子31の付いた銅箔15が形成され、導電性凸部16を介して内部電極12と電気的に接続されている。

【0013】以下、本発明を具体化した一実施例を図面を参照して説明する。

【0014】PZTを主成分とする圧電材料を所望の組成に混合した後、850°Cで仮焼成した粉末に5重量部のバインダーと微量の可塑材および消泡剤を添加し、有機溶媒中に分散させスラリー状にする。このスラリーをドクターブレード法により所定の厚さに成形しグリーンシートとする。

【0015】このグリーンシート上に内部電極12としてPdペーストをスクリーン印刷し、所定寸法に打ち抜いたものを所定枚数積層し熱プレスにより一体化する。脱脂後、約1200°Cで焼結を行い図2に示すように内部電極12が一層おきに露出するような位置で切断した焼結体21に仮の外部電極22、23を塗布焼き付けし、さらに別の一对の側面24、25が露出するように切断する。

【0016】片方の側面25全体ともう一方の側面24の凸部を形成する以外の部分をテープでマスキングし、直流電源の負極に仮の外部電極22を接続してニッケルメッキ浴中に沈める。この状態で50mAの電流を約5分間流すと仮の外部電極22につながる内部電極にニッケルメッキが成長し、マスキングテープを剥すと図3のように一層おきに凸部が形成された状態になる。

【0017】次に反対側の側面25にも同様に凸部を形成する。先ず、既に凸部の形成された側面24の全体と側面25の一部をマスキングして保護した後、負極を仮の外部電極23に接続してニッケルメッキを成長させて側面24と一層ずつずれて凸部が形成される。

【0018】洗浄後、直流電源の負極を仮の外部電極22、23に接続し、所定量の顔料と粒径約30μmのガラスピーズ17を添加したエポキシカチオン電着塗料浴中に沈め、100Vの電圧を2分間かけると、図4に示すように内部電極12の端部に塗料がガラスピーズ17とともに電着される。その後、オーブン中で150°Cで30分間加熱処理すると、エポキシ樹脂成分が硬化する過程で流動性を持つため、図5に示すように平坦化されると同時に導電性凸部16間にガラスピーズ17が流れ、絶縁膜13となる。

【0019】また、焼結体21とは別に、図6に示すよ

うに銅箔15上に平均粒径20~30μmの銅粉末による導電性粒子31を含有させた接着剤、たとえば熱硬化性のエポキシ系接着剤を50μm程度の厚さに均一に塗布したものを用意しておく。これを図7に示すように焼結体21の側面24、25にそれぞれの導電性凸部16にかかるような大きさに切断し仮止めする。そして、ほぼ180°Cに熱した一対の平面状の加圧用治具(図7は一側面がわのみ図示)53ではさみ数kgの荷重をかけて熱圧着すると、導電性凸部16の部分のみが他の部分よりも高い圧力で部分的に加圧されることとなる。

【0020】その結果、図1に示すように加圧された部分のみ銅箔15の導電性粒子31が絶縁膜13を突き破り、導電性凸部16と接触し内部電極12を一層おきに接続する。このとき、ガラスピーズ17の存在により絶縁膜13の厚さが確保され、導電性凸部16のない内部電極12は完全に絶縁される。

【0021】このようにして対抗する側面で一層おきに接続された焼結体21は素子1個分に切断された後、銅箔15の一部に電力供給用のリード線を取り付け、樹脂外装および分極処理を施して完成品となる。

【0022】このように、本実施例においては、導電性凸部16間の谷部に非導電性のガラスピーズ17が密に存在するため、導電性粒子31の大きさにばらつきがあったり、分散状態が良くない場合でも、絶縁される部分の膜厚が確保され、導電性粒子31が導電性凸部16のない内部電極12に届いたり、接近したりせず完全に絶縁される。

【0023】尚、本発明は上述した実施例に限定されるものではなく、その主旨を逸脱しない限り種々の変更を加えることができる。たとえばガラスピーズの代わりにアルミナや樹脂等の絶縁体の粒子を用いても同様の効果が得られる。

## 【0024】

【発明の効果】以上説明したことから明かなように、本発明の積層型圧電素子は外部電極と内部電極を一層おきに確実に接続および絶縁することができるため、信頼性と歩留りの向上となる。

## 【図面の簡単な説明】

【図1】図1は本発明の一実施例の積層型圧電素子の一部断面図である。

【図2】図2は上記積層型圧電素子の製造過程における切断された積層焼結体の斜視図である。

【図3】図3は上記製造過程における導電性凸部が形成された状態の焼結体の斜視図である。

【図4】図4は上記製造工程におけるガラスピーズを含む電着塗料が電着された状態を示す一部断面図である。

【図5】図5は上記製造工程におけるガラスピーズと電着塗料が加熱により流動した状態を示す一部断面図である。

【図6】図6は上記製造工程における銅箔に導電粒子を

5

6

含有する層を形成した状態を示す一部断面図である。

【図7】図7は上記製造工程における電着層および銅箔を加圧する状態を説明するための説明図である。

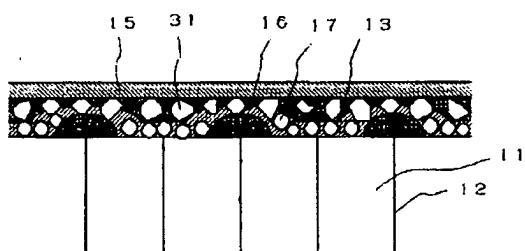
【図8】図8は従来の積層型圧電素子の一部断面図である。

【符号の説明】

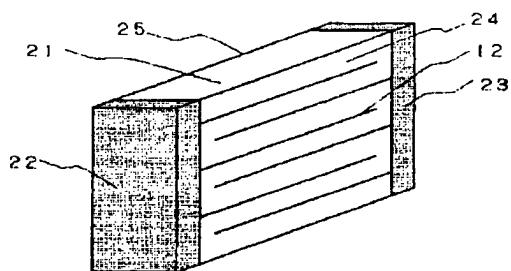
11 圧電材料膜

- 12 内部電極
- 13 絶縁膜
- 15 銅薄
- 16 導電性凸部
- 17 ガラスビーズ
- 31 導電性粒子

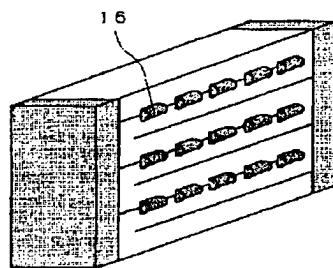
【図1】



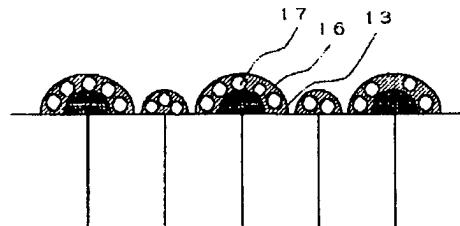
【図2】



【図3】



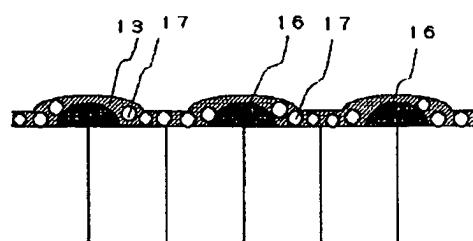
【図4】



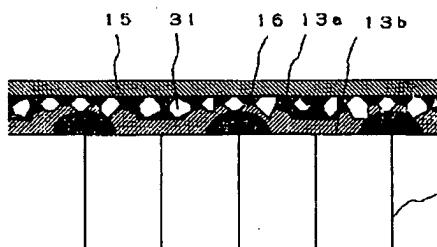
【図6】



【図5】



【図8】



【図7】

